

DETECTOR

Patent number:	JP2003264280	Also published as:
Publication date:	2003-09-19	 EP1492168 (A1)  WO03077318 (A)
Inventor:	SHIBAYAMA KATSUMI	
Applicant:	HAMAMATSU PHOTONICS KK	
Classification:		
- international:	H01L27/146; G01T1/20; H01L27/14; H01L31/09	
- european:		
Application number:	JP20020064227 20020308	
Priority number(s):	JP20020064227 20020308	

[Report a data error](#) [Help](#)

Abstract of JP2003264280

<P>PROBLEM TO BE SOLVED: To provide a detector in which semiconductor chips can be extremely close to each other or in contact with each other. <P>SOLUTION: The semiconductor chip S is formed with a plurality of photodiodes PD and comprises a plurality of output terminals T of photodetectors on its surface. A circuit board C is provided with a plurality of input terminals I to which signals from the output terminals T of the semiconductor chip S are inputted. A connection means CM connects the respective output terminals T to the respective input terminals I and an interval between the input terminals I is set narrower than an interval between the output terminals T. In the detector, since a signal read circuit A can be formed in the outer side region of an input terminal formation region RI in the circuit board C, the dimension of the circuit board C can be made smaller than that of the semiconductor chip S. Thus, in the case of arranging a plurality of the detectors D, the semiconductor chips S can be arranged closely or in contact with each other and the degradation of the resolution of a detector connection part is suppressed.

<P>COPYRIGHT: (C)2003,JPO

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-264280

(P 2 0 0 3 - 2 6 4 2 8 0 A)

(43)公開日 平成15年9月19日(2003.9.19)

(51) Int. Cl. ⁷	識別記号	F I	マークド [*] (参考)
H 01 L 27/146		G 01 T 1/20	B 20088
G 01 T 1/20			L 4M118
H 01 L 27/14		H 01 L 27/14	F 5F088
31/09		31/00	A
		27/14	K

審査請求 未請求 請求項の数12 OL (全 8 頁)

(21)出願番号	特願2002-64227(P2002-64227)	(71)出願人	000236436 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1
(22)出願日	平成14年3月8日(2002.3.8)	(72)発明者	柴山 勝己 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内
		(74)代理人	100088155 弁理士 長谷川 芳樹 (外2名)

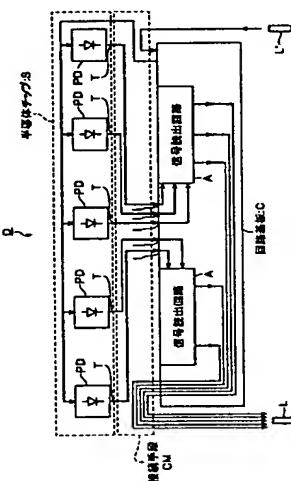
最終頁に続く

(54)【発明の名称】検出器

(57)【要約】

【課題】 半導体チップ同士が極めて近接し又は接触することが可能な検出器を提供する。

【解決手段】 半導体チップSは、複数のホトダイオードPDが形成され光検出素子の複数の出力端子Tを表面に備えている。回路基板Cは、半導体チップSの出力端子Tからの信号が入力される複数の入力端子Iを備えている。接続手段CMは、それぞれの出力端子Tをそれぞれの入力端子Iに接続しているが、入力端子I間の間隔は、出力端子T間の間隔よりも狭く設定されている。この検出器では、回路基板Cにおける入力端子形成領域Rの外側領域に信号読出回路Aを形成することができるため、回路基板Cの寸法を半導体チップSよりも小さくすることができ、したがって、複数の検出器Dを並べる場合には、半導体チップS同士を近接させ又は接触させて配置することができ、検出器接続部分の解像度低下を抑制することができる。



FP03-0275-00WD-HP
04.2.24
SEARCH REPORT

【特許請求の範囲】

【請求項1】 複数の光検出素子が形成され前記光検出素子の複数の出力端子を表面に備える半導体チップと、前記出力端子からの信号が入力される複数の入力端子を備える回路基板と、それぞれの前記出力端子をそれぞれの前記入力端子に接続する接続手段とを備えた検出器であって、前記入力端子間の間隔は、前記出力端子間の間隔よりも狭く設定され、前記回路基板は、前記入力端子の形成領域の外側の領域に、前記入力端子からの信号を読み出す信号読出回路を備えていることを特徴とする検出器。

【請求項2】 前記接続手段は、前記回路基板の出力の外部リードへの仲介又は外部リードからの前記回路基板への入力の仲介を更に行うことを特徴とする請求項1に記載の検出器。

【請求項3】 前記接続手段は、前記半導体チップの支持基板を構成していることを特徴とする請求項1に記載の検出器。

【請求項4】 前記支持基板は、前記回路基板を収容する凹部を有していることを特徴とする請求項3に記載の検出器。

【請求項5】 前記接続手段は、セラミック基体内に金属配線を埋め込んでなり、前記金属配線は前記出力端子と前記入力端子とを接続することを特徴とする請求項3に記載の検出器。

【請求項6】 前記半導体チップの受光面側に形成されたシンチレータを備えることを特徴とする請求項1に記載の検出器。

【請求項7】 前記接続手段は、多層配線基板からなり、前記半導体チップの前記出力端子と前記多層配線基板の一側面とはバンプを介して接続され、前記多層配線基板の他方面側と前記回路基板の前記入力端子とはバンプを介して接続されていることを特徴とする請求項1に記載の検出器。

【請求項8】 前記接続手段は、前記半導体チップの一側面に形成された薄膜多層配線であり、前記薄膜多層配線と前記回路基板の前記入力端子とはバンプを介して接続されていることを特徴とする請求項1に記載の検出器。

【請求項9】 複数の光検出素子が形成された半導体チップと、前記半導体チップからの出力信号が入力される回路基板と、前記半導体チップ及び前記回路基板を支持する支持基板とを備え、前記支持基板の厚み方向に垂直な方向の寸法は、前記半導体チップの厚み方向に垂直な方向の寸法以下であることを特徴とする検出器。

【請求項10】 前記支持基板は、前記回路基板を収容するパッケージの一部分を構成することを特徴とする請求項9に記載の検出器。

【請求項11】 前記回路基板の厚み方向に垂直な方向の寸法は、前記半導体チップの厚み方向に垂直な方向の

寸法未満であることを特徴とする請求項10に記載の検出器。

【請求項12】 複数の光検出素子が形成された半導体チップと、前記半導体チップからの出力信号が全て入力される回路基板とを備え、前記回路基板の厚み方向に垂直な方向の寸法は、前記半導体チップの厚み方向に垂直な方向の寸法未満であることを特徴とする検出器。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は、X線撮像装置等に用いられる検出器に関する。

【0002】

【従来の技術】 従来のX線撮像装置に適用可能な検出器は以下の文献に記載されている。

【0003】①特開平4-254377号公報

この公報は光検出装置の実装構造を開示している。この実装構造では、裏面入射型ホトダイオードアレイを、バンプを介して信号処理部に接続している。光信号の取出電極を受光基板裏面側に設けたので、表面側の殆どを受光面とすることでき、開口率が従来に比べて飛躍的に向上するとされている。また、受光部はPIN型のホトダイオードを採用しており、I層により入射した光は高効率で吸収され、I層の存在により接合容量を小さくすることができ、高電圧を印加してキャリアの空乏層走行時間を短くでき、且つ、機械的強度が高まるとされている。画素毎に取り出された信号電荷は信号処理回路基板に入力される。

【0004】②特開平9-288184号公報

この公報は、集積回路を放射線から保護するよう、光検出部、配線基板、駆動集積回路及び信号処理集積回路を積層構造とした放射線検出装置を開示している。

【0005】③特開平7-333348号公報

この公報は、X線CT(Computed Tomography)装置を開示している。このX線CT装置は、ホトダイオードアレイの出力をX線入射側とは逆側に形成されたバンプを介して出力するものであり、各放射線検出素子の検出感度を低下させることなく、これら各放射線検出素子を2次元方向に高密度で配列することができ、これによって1回のX線照射で広い範囲のX線データを得ることができるとされている。

【0006】④特開平5-90554号公報

この公報は、HgCdTe-ホトダイオードアレイの出力をSi-CCDで読み出すために、これらをバンプ接続した検出器を開示している。ホトダイオードアレイを駆動する直流電源からの駆動電圧はSi-CCD上の配線を介して印加される。すなわち、Si-CCD側表面は2重配線構造になっており、第1の配線はホトダイオード毎の出力をバンプを介してCCDの各画素(読み出し領域)に出力するものであり、第2の配線は直流電源からの電圧をホトダイオードアレイに供給するための配

線を成している。

【0007】

【発明が解決しようとする課題】しかしながら、いずれの検出器も、支持基板か半導体チップよりも大きいため、隙間無く隣接して複数の検出器を配置することはできなかった。もちろん、支持基板を小さくして、回路を側方に配置すれば、2行2列のマトリックスまでは検出器を配置することができるが、例えば、3行3列の場合には、中央の検出器の出力を取り出すスペースがない。

【0008】本発明は、このような課題に鑑みてなされたものであり、複数の検出器を並べた場合に、それぞれの半導体チップ同士が極めて近接し又は接触することができる検出器を提供することを目的とする。

【0009】

【課題を解決するための手段】上述の目的を解決するため、本発明に係る検出器は、複数の光検出素子が形成され前記光検出素子の複数の出力端子を表面に備える半導体チップと、前記出力端子からの信号が入力される複数の入力端子を備える回路基板と、それぞれの前記出力端子をそれぞれの前記入力端子に接続する接続手段とを備えた検出器であって、前記入力端子間の間隔は、前記出力端子間の間隔よりも狭く設定され、前記回路基板は、前記入力端子の形成領域の外側の領域に、前記入力端子からの信号を読み出す信号読出回路を備えていることを特徴とする。

【0010】この検出器によれば、回路基板における入力端子形成領域の外側領域に信号読出回路を形成することができるため、回路基板の寸法を半導体チップよりも小さくすることができ、したがって、複数の検出器を並べる場合には、半導体チップ同士を近接させ又は接触させて配置することができ、検出器接続部分の解像度低下を抑制することができる。

【0011】また、接続手段は、回路基板の出力の外部リードへの仲介又は外部リードからの回路基板への入力の仲介を更に行うこととしてもよく、この場合には、回路構成を単純化することができる。

【0012】また、接続手段は、半導体チップの支持基板を構成していることとしてもよい。すなわち、接続手段が半導体チップを支持することとすれば、検出器の機械的強度を増加させることができる。

【0013】また、支持基板は、回路基板を収容する凹部を有していることとしてもよく、この場合には、支持基板によって回路基板が保護される。

【0014】また、接続手段は、セラミック基体内に金属配線を埋め込んでなり、金属配線は出力端子と入力端子とを接続することとしてもよい。セラミックは絶縁性に優れているため、金属配線間がセラミック基体によって電気的に分離でき、多層配線構造を基体内部に形成することができる。

【0015】また、本発明の検出器は、半導体チップの

受光面側に形成されたシンチレータを備えることとしてもよい。シンチレータはX線等の放射線の入射に応じて蛍光を発生する。この蛍光は半導体チップによって検出することができる。

【0016】また、接続手段が、多層配線基板からなり、半導体チップの出力端子と多層配線基板の一方側とはバンプを介して接続され、多層配線基板の他方面側と回路基板の入力端子とはバンプを介して接続されていることとしてもよい。この場合、半導体チップ、多層配線基板、回路基板を独立して形成することができるので製造歩留まりを向上させると共に、比較的薄い多層配線基板を用いることで全体の厚みを薄くすることができる。

【0017】また、接続手段は、半導体チップの一方側に形成された薄膜多層配線であり、薄膜多層配線と回路基板の入力端子とはバンプを介して接続されていることとしてもよい。薄膜多層配線は、ホトリソグラフィー技術を用いて形成されるものであるが、これの厚みは非常に薄いため、全体の厚みを格段に薄くすることができる。

【0018】また、本発明の検出器は、複数の光検出素子が形成された半導体チップと、前記半導体チップからの出力信号が入力される回路基板と、前記半導体チップ及び前記回路基板を支持する支持基板とを備え、前記支持基板の厚み方向に垂直な方向の寸法は、前記半導体チップの厚み方向に垂直な方向の寸法以下であることを特徴とする。

【0019】すなわち、本検出器では、支持基板が半導体チップよりも小さいため、複数の半導体チップ同士を極めて近接させ又は接触させて並べることができる。なお、回路基板は、信号読出回路が形成された基板である。

【0020】また、この支持基板が、回路基板を収容するパッケージの一部分を構成する場合には、パッケージによって回路基板が保護される。

【0021】また、この場合、回路基板の厚み方向に垂直な方向の寸法は、半導体チップの厚み方向に垂直な方向の寸法未満となる。

【0022】すなわち、本発明の検出器は、複数の光検出素子が形成された半導体チップと、前記半導体チップからの出力信号が全て入力される回路基板とを備え、前記回路基板の厚み方向に垂直な方向の寸法は、前記半導体チップの厚み方向に垂直な方向の寸法未満であることを特徴とする。半導体チップからの出力信号の全てが入力される回路基板が小さいため、複数の半導体チップ同士を極めて近接させ又は接触させて並べることができる。

【0023】

【発明の実施の形態】以下、実施の形態に係る検出器について説明する。なお、同一要素には同一符号を用い、

重複する説明は省略する。

【0024】図1は実施の形態に係る検出器Dの側面構成を示すブロック図、図2は検出器の平面構成を示す説明図である。本検出器Dは、半導体チップSと、回路基板Cと、これらを接続する接続手段CMとを備えている。半導体チップSには、複数の光検出素子（ホトダイオード）PDが一次元又は二次元状に形成されており、光検出素子PDの複数の出力端子Tを表面に備えている。この出力端子Tは、回路基板C側に直接対向するが、光検出素子の種類によって構造が異なる。

【0025】半導体チップSが裏面照射型のホトダイオードである場合には、出力端子Tは半導体チップSの回路基板C側に元々あるため、そのまま、回路基板Cに接続すればよい。半導体チップSが表面照射型のホトダイオードである場合には、出力端子Tは光入射面側、すなわち、半導体チップSの回路基板Cとは反対側の面に元々はあるため、スルーホールを形成して、出力端子Tを裏面側にまで延ばし、回路基板Cに接続する。

【0026】回路基板Cは、半導体チップSの出力端子Tからの信号が入力される複数の入力端子Iを備えている。

【0027】接続手段CMは、それぞれの出力端子Tをそれぞれの入力端子Iに接続している。

【0028】ここで、入力端子I間の間隔は、出力端子T間の間隔よりも狭く設定されている。したがって、回路基板Cは、入力端子Iの形成領域R₁の外側の領域に、入力端子Iからの信号を読み出す信号読出回路Aを備えることができる。この検出器では、回路基板Cにおける入力端子形成領域R₁の外側領域に信号読出回路Aを形成することができるため、回路基板Cの寸法を半導体チップSよりも小さくすることができ、したがって、複数の検出器Dを並べる場合には、半導体チップS同士を近接させ又は接触させて配置することができ、検出器接続部分の解像度低下を抑制することができる。

【0029】接続手段CMは、回路基板Cの出力の外部リードLへの仲介又は外部リードL'からの回路基板Cへの入力の仲介を行っている。この場合には、接続手段CM以外に新たに配線を引き回す必要がないため、回路構成を単純化することができる。

【0030】外部リードL'を介して回路基板Cに与えられた電源電圧の一部は、接続手段CMを介して半導体チップSに伝達され、光検出素子PDの駆動に用いられる。一方、それぞれの光検出素子PDからの出力信号は、出力端子T、入力端子Iを介して信号読出回路Aに入力され、信号読出回路Aの出力電圧は外部リードLを介して外部に取り出される。なお、本例の信号読出回路Aは、スイッチ等からなる走査回路、チャージアンプや積分回路などである。更に必要に応じて、相関二重サンプリング(CDS)回路や、A/D変換器を備えることができ

る。信号の読出はシリアルであってもパラレルであってもよい。

【0031】なお、本例の検出器Dは、必要に応じて、半導体チップSの表面にシンチレータを備えており、この場合には、X線CT装置等のX線撮像装置用の検出器に適用することができる。X線CT装置は、X線源からのX線の被検体透過像を撮像するものであり、複数の検出器Dが並べられて用いられる。

【0032】図3は複数の検出器からなる撮像装置の平面図、図4は撮像装置の側面図である。表面側には矩形の半導体チップSが隙間無く隣接している。本例では、4行5列の検出器群からなる撮像装置を示す。ここで、撮像装置を構成する検出器DはX線源からの距離が等しくなるように1軸方向に沿って並べられている。これは、検出器Dを直交2軸の方向に沿ってX線源からの距離が等しくなるように配置することを排するものはない。また、像素子の撮像面が平坦となるように検出器Dを配置してもよい。

【0033】図5は、図1に示した検出器Dの好適な一例としての検出器Dの縦断面図である。半導体チップSは表面入射型の光検出素子（ホトダイオード）アレイを構成しており、各光検出素子PDはPN接合を有している。

【0034】PN接合の一方を構成するアノードとしてのP型半導体(P)は、半導体チップの表面側に位置し、半導体チップを厚み方向に貫通するスルーホール内に埋め込まれた金属配線MLを介して裏面に設けられた出力端子Tに接続されている。このP型半導体(P)のP型不純物濃度は高濃度である。なお、図面の右端に位置する光検出素子PDは、紙面の奥に向かって延びる金属配線MLを介し、他の光検出素子PDと同様に裏面側の出力端子に接続されているが、図面上は表現されていない。

【0035】PN接合の他方を構成するN型半導体(N)は、半導体チップの大部分を構成しており、適当な位置に設けられるN型高濃度不純物領域がホトダイオードのカソードとして機能する。N型高濃度不純物領域は、半導体チップSの表面側であっても、裏面側であってもよい。表面側の場合には、上記と同様にスルーホールを設けて、裏面側に接続すればよい。いずれにしても、最終的にはN型高濃度不純物領域は回路基板Cに接続される。

【0036】本例においては、接続手段CMは、半導体チップSの支持基板を構成しており、検出器Dの機械的強度が増加している。この支持基板CMは、回路基板Cを収容する凹部DPを有しており、パッケージとしての支持基板CMによって回路基板Cが保護されている。支持基板CMは、セラミック基板CR内にリボン状の金属配線ML2を埋め込んでなり、金属配線ML2は出力端子Tと入力端子Iとを接続している。セラミックは絶縁

性に優れているため、金属配線ML 2間がセラミック基体CRによって電気的に分離でき、多層配線構造が基体内部に形成されている。

【0037】半導体チップSの出力端子Tと支持基板CMの一方側とはバンプB 1を介して接続され、支持基板CMの他方面側と回路基板Cの入力端子IとはバンプB 2を介して接続されている。

【0038】また、支持基板CM内部に埋め込まれた金属配線ML 3は、バンプB 3を介して、外部リードL、L' と回路基板Cとを接続している。本検出器Dは、複数の光検出素子PDが形成された半導体チップSと、半導体チップSからの出力信号が入力される回路基板Cと、半導体チップS及び回路基板Cを支持する支持基板CM(後述：SB)とを備え、支持基板の厚み方向(Z方向)に垂直な方向(X, Y方向)の寸法は、半導体チップの厚み方向(Z方向)に垂直な方向(X, Y方向)の寸法以下である。支持基板はX方向も、Y方向も小さいということである。

【0039】本検出器では、支持基板CMが半導体チップSよりも小さいため、複数の半導体チップSを極めて近接させ又は接触させて並べることができる。なお、回路基板Cは、回路が形成された基板である。この支持基板CMは、回路基板Cを収容するパッケージの一部分を構成しているので、パッケージによって回路基板Cが保護されているが、この場合、回路基板Cの厚み方向(Z方向)に垂直な方向(X, Y方向)の寸法は、半導体チップSの厚み方向(Z方向)に垂直な方向(X, Y方向)の寸法未満となる。回路基板CはX方向も、Y方向も小さいということである。

【0040】すなわち、本検出器は、複数の光検出素子PDが形成された半導体チップSと、半導体チップSからの出力信号が全て入力される回路基板Cとを備え、回路基板Cの厚み方向に垂直な方向の寸法は、半導体チップの厚み方向に垂直な方向の寸法未満である。半導体チップSからの出力信号の全てが入力される回路基板Cが小さいため、複数の半導体チップSを極めて近接させ又は接触させて並べることができる。

【0041】また、上記スルーホールの内面と半導体チップSの表面及び裏面上には絶縁膜IFが形成されており、金属配線MLがP型半導体(P)以外に電気的に接触しない構成とされている。半導体チップSの表面上には接着剤ADを介してシンチレータSCが設けられている。シンチレータSCは半導体チップSの受光面側に光学的に結合している。シンチレータSCにX線等の放射線が入射すると、蛍光が発生する。この蛍光は半導体チップSに設けられた複数の光検出素子PDによって検出することができる。この蛍光は、X線像と同様であるため、この撮像装置ではX線像が撮像されることなる。本例におけるシンチレータSCの材料はCWO : CdWO₄(タングステン酸カドミウム)又はGd₂O₃Sである。

が、他の材料も用いることができる。

【0042】Gd₂O₃Sには付活剤元素(Eu)を添加してもよい。結晶(Gd₂O₃S)に添加する付活剤元素(Eu)の濃度を最適に調整することで、X線に対して、赤・緑・青の3原色で発光させることができ、ダイナミックレンジを可変することができる。かかるシンチレータに、光検出素子を構成画素とするCCDを適用することもできる。添加材としてはTb等を用いることができる。なお、シンチレータSCは複数の光電変換素子PDを覆うものであり、また、複数の半導体チップSを覆うものであってもよい。

【0043】ここで、ホトダイオードとしての光検出素子PDの機能について若干の説明をしておく。

【0044】図6は、PN接合近傍の検出器Dの断面図である。X線がシンチレータSCに入射すると、シンチレータSCから蛍光が発生し、この蛍光がPN接合に入射すると、半導体空乏層内でキャリアが発生し、キャリアの一方は金属配線MLを介して外部に取り出される。金属配線MLは、P型半導体(P)に接触する表面電極部ML(A)と、スルーホール内を通過する貫通電極部ML(B)とからなる。表面電極部ML(A)はA1からなり、貫通電極部ML(B)は多結晶Siからなる。Siからなる半導体チップSにスルーホールを形成した後、熱酸化を行うことによって、半導体チップS及びスルーホールの露出面に熱酸化膜(SiO₂)を形成することができる。形成された酸化膜は適当なホトリソグライフィ技術を用いて加工することができ、また、必要に応じてCVD(化学的気相成長)法やスパッタリング法による絶縁膜を形成することができる。

【0045】図7は、図1に示した検出器Dの好適な別の一例としての検出器Dの縦断面図である。この検出器Dは図5に示したものと一部分のみが異なる。すなわち、接続手段CMが多層配線基板からなり、半導体チップSの出力端子Tと多層配線基板CMの一方側とはバンプB 1を介して接続され、多層配線基板CMの他方面側と回路基板Cの入力端子IとはバンプB 2を介して接続されている。

【0046】また、回路基板Cは凹部を有する支持基板SB内に収納されるが、支持基板SBはパッケージを構成し、その開口端面に設けられたバンプB 4は多層配線基板CM及びバンプB 3を介して回路基板Cに接続されており、回路基板Cの出力は、バンプB 3、多層配線基板CM、バンプB 4及びセラミック基体からなる支持基板SB内部に形成されたリボン状の金属配線ML 3を順次介して外部リードLから取り出される。また、外部リードL'からの入力は、金属配線ML 3、バンプB 4、多層配線基板CM及びバンプB 4を介して回路基板Cに伝達される。

【0047】他の構成は図5に示したものと同一である。

【0048】本例の構造の場合、半導体チップS、多層配線基板CM、回路基板Cを独立して形成することができるので、製造歩留まりを向上させることができると共に、セラミック基体に比較して、薄い多層配線基板CMを用いることで全体の厚みを薄くすることができるという利点がある。

【0049】図8は、図1に示した検出器Dの好適な更に別の一例としての検出器Dの縦断面図である。この検出器Dは図7に示したものと一部分のみが異なる。すなわち、接続手段CMは、半導体チップSの裏面側に形成された薄膜多層配線であり、薄膜多層配線CMと回路基板Cの入力端子IとはバンプB2を介して接続されている。

【0050】他の構成は図7のものと同一である。

【0051】薄膜多層配線は、ホトリソグラフィー技術を用いて形成されるものであるが、これの厚みは非常に薄いため(1mm以下)、全体の厚みを格段に薄くすることができる。なお、本例の場合の半導体チップSの出力端子Tは、薄膜多層配線CMと半導体チップSとの境界に位置しており、上述のように、入力端子I間の間隔は、出力端子T間の間隔よりも狭く設定されている。

【0052】以上、説明したように、上述のそれぞれの検出器Dによれば、回路基板Cにおける入力端子形成領域R₁の外側領域にアンプAを形成することができるため、回路基板Cの寸法を半導体チップSよりも小さくすることができ、したがって、複数の検出器Dを並べる場合には、半導体チップ同士を近接させ又は接触させて配置することができ、検出器接続部分の解像度低下を抑制することができる。

【0053】なお、上述の接続手段CMは、セラミックを母体としたものの他、ガラス、ポリイミド等の有機材料やこれらの複合材料を用いることができる。また、半導体チップSを接続するバンプB1と、バンプB2、B3又はB4の融点は異なることが好ましい。バンプB1の材料としてはAuSnやその合金を適当な組成で用いることができ、バンプB2、B3又はB4の材料としてはSnAgやその合金を適当な組成で用いることができ

る。また、バンプB1、バンプB2、バンプB3、バンプB4の融点はかかる順番で高いことが好ましく、この場合には、融点の高い順番に組み立てを行うことができるので、組み立てが容易となる。

【0054】また、バンプの変わりに導電性フイラーや異方性導電シートACFなどを用いても良い。

【0055】また、上述の光検出素子は表面入射型の素子に限らず、半導体基板の接続手段側(裏面側)にPN接合を有し、薄板化された裏面入射型の素子(ホトダイオードアレイ)を用いることも可能である。

【0056】

【発明の効果】本発明の検出器によれば、半導体チップ同士が極めて近接し又は接触することができる。

【図面の簡単な説明】

【図1】実施の形態に係る検出器Dの側面構成を示すブロック図である。

【図2】検出器の平面構成を示す説明図である。

【図3】複数の検出器からなる撮像装置の平面図である。

【図4】撮像装置の側面図である。

【図5】図1に示した検出器Dの好適な一例としての検出器Dの縦断面図である。

【図6】PN接合近傍の検出器Dの断面図である。

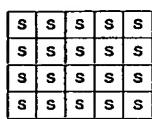
【図7】図1に示した検出器Dの好適な別の一例としての検出器Dの縦断面図である。

【図8】図1に示した検出器Dの好適な更に別の一例としての検出器Dの縦断面図である。

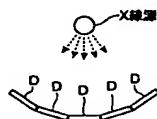
【符号の説明】

A…信号読出回路、AD…接着剤、B1…バンプ、B2…バンプ、B3…バンプ、B4…バンプ、C…回路基板、CM…接続手段(支持基板、多層配線基板、薄膜多層配線)、CR…セラミック基体、D…検出器、DP…凹部、I…入力端子、IF…絶縁膜、L、L'…外部リード、ML、ML2、ML3…金属配線、PD…光検出素子、R₁…入力端子形成領域、S…半導体チップ、SB…支持基板、SC…シンチレータ、T…出力端子。

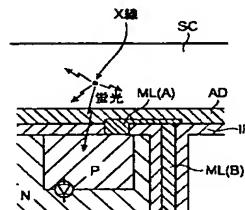
【図3】



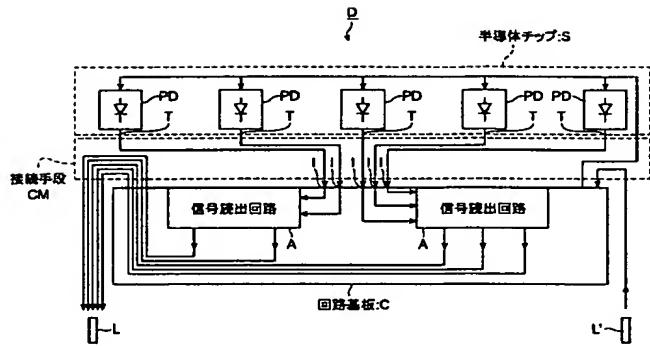
【図4】



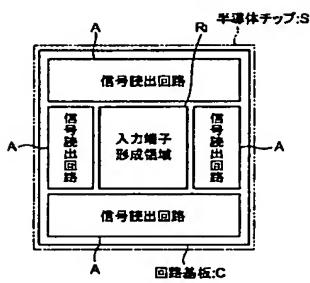
【図6】



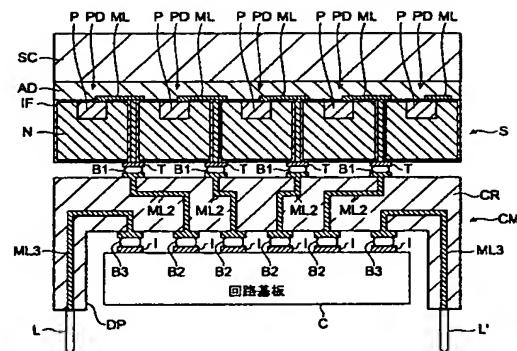
【図1】



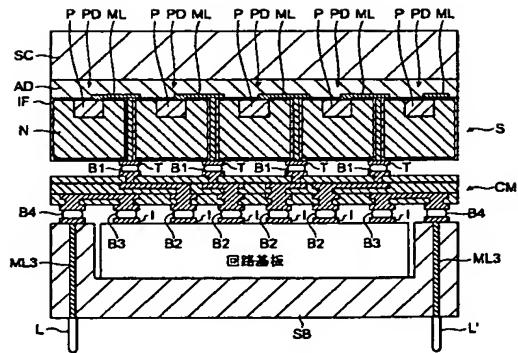
【図2】



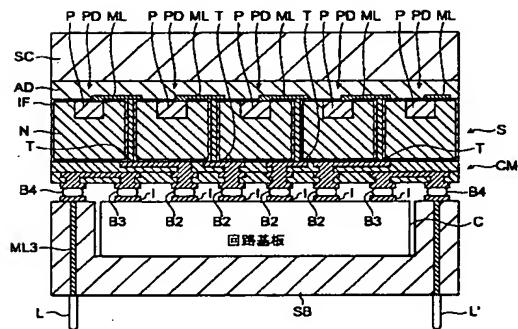
【図5】



【図7】



【図8】



フロントページの続き

Fターム(参考) 2G088 FF02 GG19 JJ05 JJ09 JJ33
 4M118 AA10 AB01 BA19 CA03 CB11
 GA02 CA10 HA14 HA25 HA26
 HA31 HA33
 5F088 AA02 BB03 BB07 EA04 HA15
 JA01 JA20 LA08